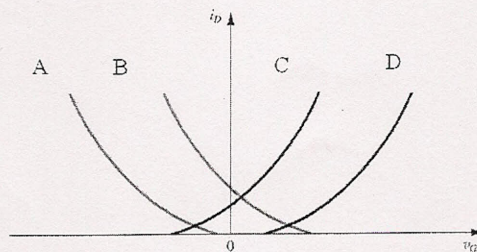


系所類別	科目	節次	准考證號碼 (考生請填入)	考試日期
電子工程系碩士班 (電子組)	電子學	第二節		99/5/2

※答案須寫在答案卷內，否則不予計分。

一、單選題 (60%)

- 對單一個 CMOS 元件，何者敘述是較不適當 (A) 可組合成反相器(inverter) (B) 也可組合成傳輸閘(transmission gate) (C) 可組合成 NOT 邏輯閘 (D) 可組合成放大器
- 在一個 CMOS 元件正常操作中，何者敘述較不適當(A) 輸出為 0 時，PMOS ON (B) 輸出為 1 時，NMOS ON (C) 有切換電流通過 (D) 消耗功率很低
- 下列何者非基本邏輯閘(A) NOT (B) OFF (C) NOR (D) NAND
- 下列何者非邏輯電路簡化的好方法(A)卡諾(Karnaugh)圖 (B) 布林函數 (C)KCL (D) 真值表
- Exclusive OR 邏輯閘，可由何種邏輯電路組合而成(A) 傳輸閘與反相器 (B) 單獨反相器(C) 單獨 NOR Gate (D) 單獨 NAND Gate
- 對於 4:1 多工器(Multiplexer)，下列敘述何者為非 (A) 不能由 2:1 多工器組合(B) 有 4 個輸入端 (C) 只有 1 個輸出端(D) 可整合為加法器
- 對於一個 TG-based OR 邏輯閘，下列敘述何者不妥 (A) 有 3 個電晶體 (B) 有一輸入端連接至控制端 (C) 控制端永遠與供應電壓連接 (D)也可由 AOI 邏輯閘組合而成
- 下列何者對傳輸閘的應用敘述為非? (A) 可作為資料同步的控制開關 (B) 不適用於類比電路設計 (C) 在數位電路設計中是一個很好的元件 (D) 很佔晶片面積
- 對於一個 CMOS clocked SR latch 電路，何者敘述較不適當? (A) 可作暫存器設計中的一部分 (B) 不能與 JK Flip-Flop 結合(C) 可與 D Flip-Flop 結合 (D) 提供訊號鎖住功能
- 布林代數的基本定理中，何者敘述較不適當? (A) $(x+y+z)' = x' y' z'$ (B) $(xyz)' = x' + y' + z'$ (C) $x + x y = y$ (D) $y' + yA = y' + A$
- 下圖哪一條為 P 通道空乏型 MOS FET 的 $i_D - V_{GS}$ 曲線 (A) A, (B) B, (C) C, (D) D。

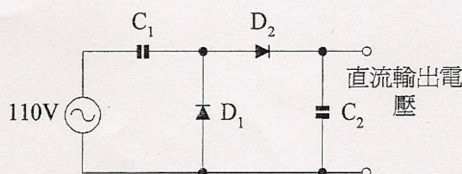


- NMOS FET 工作在電阻區 (亦稱為三極體區) 的條件為何? (A) $V_{GS} \leq V_t, V_{GD} \leq V_t$, (B) $V_{GS} \leq V_t, V_{GD} \geq V_t$, (C) $V_{GS} \geq V_t, V_{GD} \leq V_t$, (D) $V_{GS} \geq V_t, V_{GD} \geq V_t$ 。
- 當頻率從 1k Hz 下降到 10 Hz, 某一個放大器的增益減少 40dB。則下降率為? (A) -20 dB/decade (B) -40 dB/decade (C) -20 dB/octave (D) -40 dB/octave。

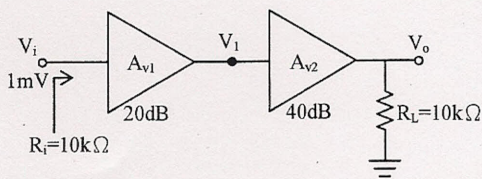
明新科技大學 99 學年度研究所考試入學招生 試題卷

系所類別	科目	節次	准考證號碼 (考生請填入)	考試日期
電子工程系碩士班 (電子組)	電子學	第二節		99/5/2

14. 如果某個放大器所使用電晶體的 f_T 等於 75MHz，在頻率等於 15MHz，則電壓增益必須為？(A) 75 (B) 5 (C) 1 (D) 0.5。
15. 下列哪些不是負回授的優點？(A) 穩定的輸出，(B) 較高的抗雜訊能力，(C) 降低非線性效應，(D) 提升增益。
16. 下列何種狀況下放大器會不穩定？(A) 迴路增益 ≥ 1 & 相角 $\geq 180^\circ$ ，(B) 迴路增益 < 1 & 相角 $\geq 180^\circ$ ，(C) 迴路增益 ≥ 1 & 相角 $< 180^\circ$ ，(D) 迴路增益 < 1 & 相角 $< 180^\circ$ 。
17. 下列各種負回授組態會讓輸入與輸出阻抗都增加？(A) 串-串，(B) 串-並，(C) 並-串，(D) 並-並。
18. 下圖所示的整流電路，如果加入 110V 的交流電壓，在無負載的情況時，其輸出直流電壓為下列何值？(A) 110 V，(B) 155 V，(C) 220 V，(D) 310 V。



19. 有關 BJT 之敘述，下列何者錯誤 (A) 電晶體作為開關時，工作於截止與飽和兩區，(B) 電晶體在飽和區時，B-E 和 B-C 兩個接面都是反偏，(C) 電晶體在作用區時，B-E 接面順偏，B-C 接面反偏，(D) 電晶體作為放大器使用時是在工作區。
20. 有一兩級串接的電壓放大器，具各級之電壓增益如下圖所示，下列敘述何者錯誤？(A) 第一級之輸出電壓為 10 mV，(B) 總電壓增益為 1000 倍，(C) 總功率增益為 60 dB，(D) 第二級之輸出電壓 V_o 為 1 V。



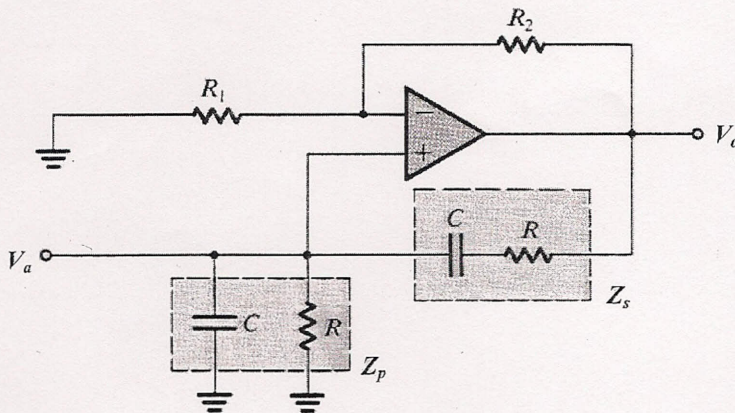
二、請用 AOI(AND-OR-Inverter)的 CMOS 邏輯閘概念，設計出一個 $G = a \oplus b$ 之 Exclusive NOR 電路，請標明供應電壓、各輸入端點位置與接地。(10%)

三、若一邏輯電路輸出的卡諾(Karnaugh)圖如下圖， w, x, y, z 為其輸入端，試問在此條件下，若其輸出 $F(w, x, y, z) = \sum(0, 1, 2, 4, 5, 6, 8, 9, 12, 13)$ ，其最佳的輸出 F 組合為何(即使用最少的輸入端)? (10%)

系所類別	科目	節次	准考證號碼 (考生請填入)	考試日期
電子工程系碩士班 (電子組)	電子學	第二節		99/5/2

	yz			
	00	01	11	10
wx				
00	1	1		1
01	1	1		1
11	1	1		
10	1	1		

四、證明下圖的振盪頻率 $\omega_0 = 1/RC$ 以及其回授率為 $1/3$ 。(10%)



五、下圖的 $\mu_n C_{ox}(W/L) = 1\text{mA/V}^2$, $V_t = 1\text{V}$, 求出 I_D 與 V_{DS} 。(10%)

