

## 淺接面結構對功率電晶體電性改善之研究

陳啓文<sup>1</sup> 顏培仁<sup>1</sup> 吳明瑞<sup>1</sup> 簡鐸欣<sup>2</sup> 簡鳳佐<sup>3</sup> 董正暉<sup>2</sup> 涂高維<sup>2</sup> 蘇世宗<sup>2</sup>

<sup>1</sup>明新科技大學電子系所 <sup>2</sup>華瑞公司研發處 <sup>3</sup>逢甲大學電機所

### 摘要

本文研究方向主要是在低壓功率電晶體結構上使用淺接面製程(Shallow junction process), 並用不同複晶閘極長度(Poly gate length)、不同磊晶層厚度做交叉比對, 探討功率電晶體之導通電阻值( $R_{DS(ON)}$ )的最佳化控制機制。由於一般低壓功率電晶體影響導通電阻值的各項參數主要有接觸電阻( $R_{CONTACT}$ )、通道電阻( $R_{CHANNEL}$ )、場效應電晶體層電阻( $R_{JFET}$ )、磊晶層電阻 ( $R_{epi}$ )、及基板電阻( $R_{SUBSTRATE}$ )[1]; 本研究主要是使用淺接面製程減少  $R_{epi}$  及  $R_{JFET}$ , 根據實際驗證的結果已經可以降低 35% 的  $R_{DS(ON)}$ 。

**關鍵詞:** 功率電晶體、磊晶層、導通電阻值、淺接面。

## Improvement on the Performance of the Power MOS Devices by Using Shallow Junction Structure

C.W.Chen<sup>1</sup>, P.J.Yen<sup>1</sup>, M.R.Wu<sup>1</sup>, D.S.Chieh<sup>2</sup>, F.T.Chieh<sup>3</sup>, C.H.Tung<sup>2</sup>, K.W.Tu<sup>2</sup>, and S.T.Su<sup>2</sup>

<sup>1</sup>Department of Electronic Engineering, Ming Hsin University of Science and Technology

<sup>2</sup>R&D Division, Chin-Excel Tech. Corp.

<sup>3</sup>Department of Electrical Engineering, Feng Chia University

### Abstract

This paper describes a low voltage power MOSFET by using shallow junction process, in which we modulate poly gate length, epitaxy(EPI) thickness as well as process condition. We discuss how to find the optimal design rule for a low on resistance ( $R_{DS(ON)}$ ) Power MOSFET. The  $R_{DS(ON)}$  of a Power MOSFET is consisted of  $R_{CONTACT}$ ,  $R_{CHANNEL}$ ,  $R_{JFET}$ ,  $R_{epi}$  and  $R_{SUBSTRATE}$ . In this study, a shallow junction Power MOSFET process is proposed and the  $R_{DS(ON)}$  of Power MOSFET can be reduced ( $R_{epi}$  and  $R_{JFET}$ ). Based on the experiment results, we successfully reduce the  $R_{DS(ON)}$  about 35%.

**Keywords :** Power MOSFET、EPI、 $R_{DS(ON)}$ 、Shallow junction

### I、緒論

傳統功率電晶體為達高耐壓高電流的設計, 元件電流流向由平面結構設計為垂直結構, 如圖 1 所示。功率電晶體主要應用可歸納為功率轉換應用(Power conversion)、功率放大作用(Amplification)、切換開關(Switch)、線路保護(Protection)、整流(Rectify)等。而其所扮演的角色為一個切換元件, 因此其所要求的規格主要有耐電壓、電流值及導通電阻值。

在低壓(<60V)功率電晶體導通電阻是由不同區域的電阻所組成, 大部分存在於  $R_{CHANNEL}$ 、 $R_{JFET}$  及

$R_{epi}$ ，大約各佔總導通電阻 30%，在高壓功率電晶體則約有 80%集中於  $R_{EPI}$ [2]。圖 2 為功率電晶體各寄生電阻分布情形，圖 3 為功率電晶體在高壓及低壓領域所佔各部分電阻值的比重示意圖。

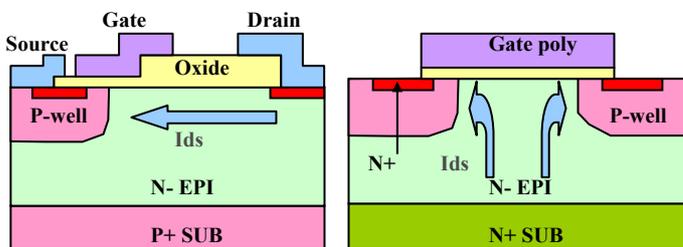


圖 1. LDMOS & DMOS 結構比較

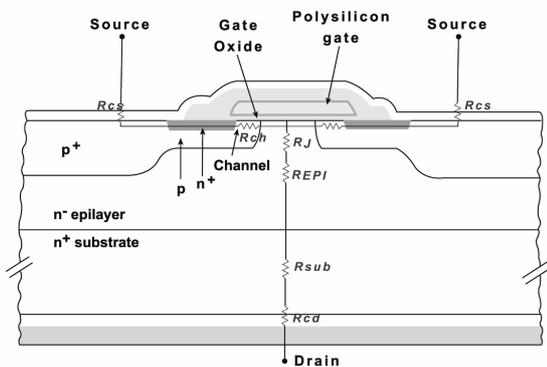


圖 2. 功率電晶體寄生電阻分佈情形

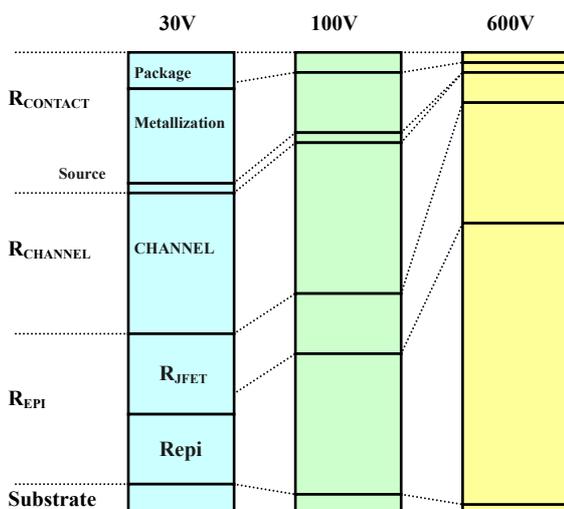


圖 3. 功率電晶體在不同電壓所佔的  $R_{DS(ON)}$  比例圖

隨著晶片技術性的突破功率電晶體也有不同的做法，目前在極低壓功率電晶體技術發展有溝渠式閘極配合多樣化製程結構功率電晶體(Trench MOSFET)，如圖 4 所示。

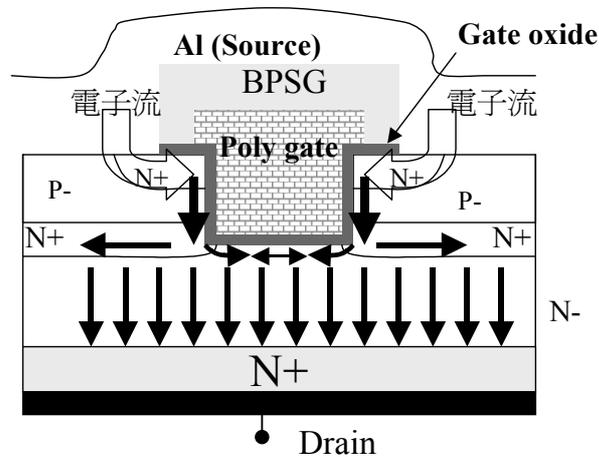


圖 4 溝渠式閘極結構功率電晶體主體結構

其主要技術是將閘極(Gate)以溝渠挖入方式形成，減少了  $R_{JFET}$  的因素，亦即增加了密度，故可以減少整體導通電阻值並進一步減少晶片成本[3]。但是溝渠式閘極結構功率電晶體在製程上有其困難度，除了要考慮電晶體溝渠式閘極深淺外更要防止製程中有微塵粒子陷入溝渠閘極污染晶片。

本次研究之功率電晶體淺接面製程技術主要是應用平面製程技術及調整磊晶層厚度降低接面場效電晶體層電阻及磊晶層電阻，除了能夠有效降低導通電阻值減少功率損失外，製程也較溝渠式閘極結構功率電晶體來的簡單。因此本實驗將以淺接面製程的方式來探討對功率電晶體  $R_{DS(ON)}$  的改善。

## II、實驗步驟

由於低壓功率電晶體晶胞(Unit cell)的最佳化設計對其導通電阻值有決定性的影響。本次研究首先在低壓功率電晶體複晶閘極選擇  $5\ \mu\text{m}$  (A poly)、 $4.5\ \mu\text{m}$  (B poly)兩種不同長度，在磊晶層厚度上選擇三種不同磊晶層厚度，分別為  $5.5\ \mu\text{m}$ 、 $4.5\ \mu\text{m}$  及  $4.2\ \mu\text{m}$ 。在晶圓製程上用實驗組與對照組做比對，實驗組使用原來製程條件製作、對照組則使用淺接面製程製作。並用製程與元件模擬軟體(“MEDICI”與“TSUPREM-4”)模擬驗證功率電晶體實驗組與對照組單一晶胞結構之崩潰電壓(Breakdown voltage)及導通電阻值，與實際結果做比對。如圖 5 即為使用模擬軟體模擬一般功率電晶體製程及淺接面功率電晶體製程之單一晶胞結構。從圖中可以清楚看出淺接面製程之 Channel 比原製程設計來的短，且  $R_{JFET}$  效應遠較原製程設計來的小。

功率電晶體目前的製程，首先在磊晶層上長一層場氧化層(Field oxide)製作品片邊緣的終結區，高壓功率電晶體會視耐電壓需求在終結區再額外設計不同數量的保護環(Guard ring)以提高電晶體之耐電壓值 [4]。

電晶體終結區完成後會在主體沉積一層複晶矽，製作功率電晶體主體晶胞，並應用離子佈值技術(Ion implant technology)在 N 通道功率電晶體中植入製作 P 井(P-well)，完成後沉積一層硼磷矽玻璃(BPSG)將基

極和源極區隔開，之後才做 P+ 植入的步驟[5]。後面繼續進行電晶體之導電層及絕緣層，功率電晶體的晶片製程即告完成。圖 6 即為所完成的 3D 切面模型。淺接面製程與原電晶體製程主要差異在 P-well 中增加硼離子佈植濃度、減少驅入溫度及縮短驅入時間以減少  $R_{JET}$  及  $R_{CHANNEL}$  效應，並改用厚度較薄之 EPI 降低  $R_{EPI}$ 。

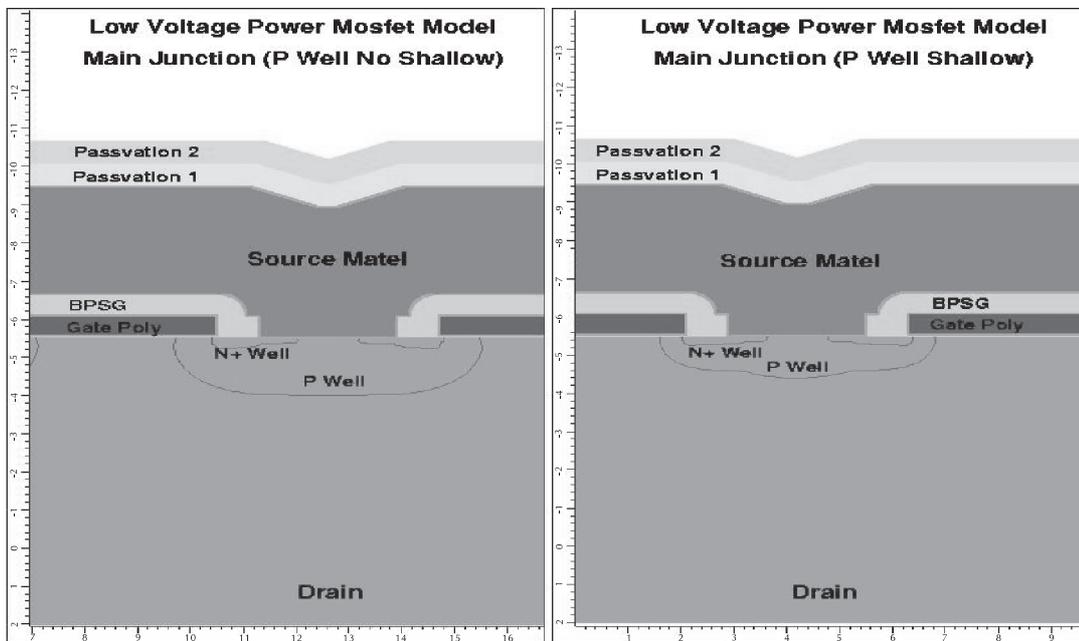


圖 5 一般功率電晶體與淺接面製程技術主體結構比較

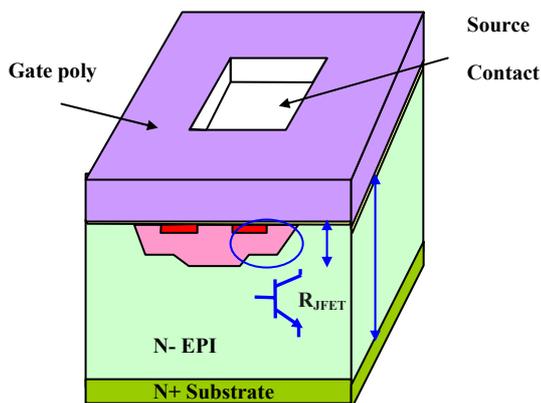


圖 6 功率電晶體橫切面模型

### III、實驗結果

表 1 至表 4 為實作結果與模擬特性對照表，一般根據應用面的不同，功率電晶體會操作在不同的閘極電壓下，一般的以 30V 元件規格表來看，會分為閘極電壓 4.5V 和 10V 的應用。從表 1 與表 2 的結果中我們可以很清楚的看出來整體使用淺接面製程所得到的導通電阻值都比使用原製程來的低，此原因為淺接面結構不但降低了元件之  $R_{JET}$  值並降低了元件 Channel 的長度進而減少了  $R_{CHANNEL}$ ，而且以導通電

阻值參數來看在  $V_{GS}=4.5V$  時可以降低約 22%、而在  $V_{GS}=10V$  時可以降低約 30%；當我們加入調整磊晶層厚度由原來的  $5.5 \mu m$  調整至  $4.2 \mu m$  的變數時，整體的導通電阻值可降低約 37%(B 複晶閘極長度、 $4.2 \mu m$  磊晶厚度、淺接面製程設計、 $V_{GS}=4.5V$  與 A 複晶閘極長度、 $5.5 \mu m$  磊晶厚度、原製程設計、 $V_{GS}=4.5V$  比對)，從表中可以分析出來有 7%的導通電阻值是因為調整磊晶層厚度所得到的結果、有 10%是調整複晶閘極設計的結果(B 複晶閘極比 A 複晶閘極好)，其縮短了閘極長度；而剩下 20%都是使用淺接面製程設計所得到的結果，此處大量的降低  $R_{JFET}$  的因素。但是以崩潰電壓參數來看原製程的崩潰電壓參數比淺接面製程高，而且淺接面製程有漏電流的現象，這是因為淺接面製程的空乏區較原製程的空乏區來的淺，故在閘極下的區塊空乏區較不易有效的降低載子的產生。

$R_{DS(ON)}$  : unit (m  $\Omega$ )     $BV_{DSS}$  : unit (V)@ $I_D=250 \mu A$

Gate poly length : A= $5 \mu m$ , B= $4.5 \mu m$

EPI thickness : W= $5.5 \mu m$ , X= $4.5 \mu m$ , Y= $4.2 \mu m$

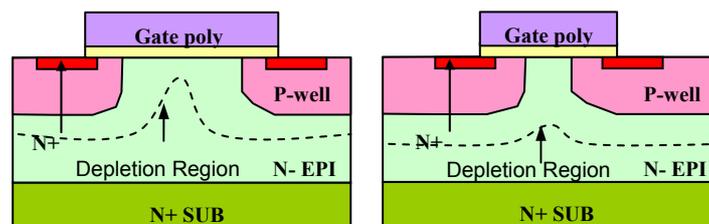
Poly A	$BV_{DSS}$	$R_{DS(ON)}@V_{GS=10V}$	$R_{DS(ON)}@V_{GS=4.5V}$
EPI W	35.11	19.08	29.78
Poly B	$BV_{DSS}$	$R_{DS(ON)}@V_{GS=10V}$	$R_{DS(ON)}@V_{GS=4.5V}$
EPI W	38.30	19.60	28.10

表 1 實驗組原製程結果

表 2 中  $BV_{DSS}$  特性 Poly B 比 Poly A 高，主要是因為 Poly B 之複晶閘極較短，在兩 P 井間之空乏區較深，空乏過渡區曲率半徑較大，如圖 7 中虛線所示，故能增進耐電壓值。

Poly A	$BV_{DSS}$	$R_{DS(ON)}@V_{GS=10V}$	$R_{DS(ON)}@V_{GS=4.5V}$
EPI X	27.23	13.98	21.27
EPI Y	27.58	13.63	20.71
Poly B	$BV_{DSS}$	$R_{DS(ON)}@V_{GS=10V}$	$R_{DS(ON)}@V_{GS=4.5V}$
EPI W	32.26	15.21	20.88
EPI X	31.07	13.17	19.15
EPI Y	27.36	12.93	18.68

表 2 對照組淺接面製程結果



(a) 寬長度 Poly

(b) 短長度 Poly

圖 7 元件空乏過渡區(虛線)剖面圖

如圖 7(a)及圖 7(b)為使用 HP 4145B 測試儀器實際量測功率電晶體的結果。在同樣條件下淺接面製程比原製程電壓提早崩潰，且在未崩潰前即有漏電流的現象發生，改善的方法經模擬我們可以發現減小閘極長度、提高 Junction 濃度及增加 EPI 阻值皆可有效的提高崩潰電壓，是因為在 P 井間能夠產生較深之空乏區所致，但仍需考慮  $R_{DS(ON)}$  是否會增加。

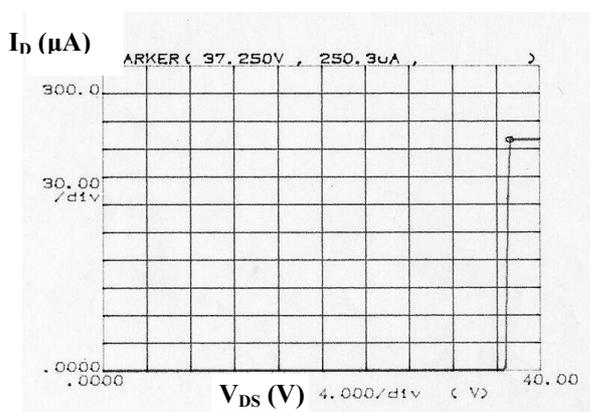


圖 7 (a) 原製程崩潰電壓

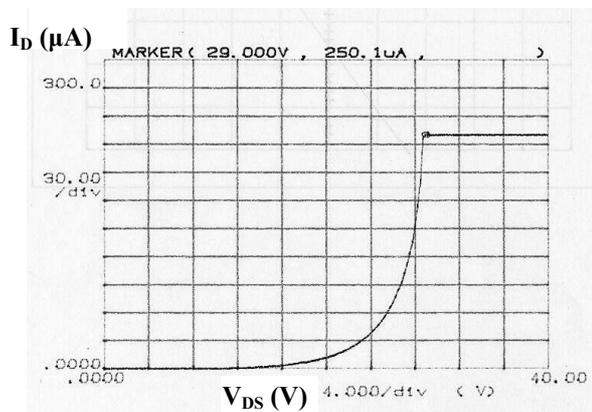


圖 7(b) 淺接面製程崩潰電壓

表 3 與表 4 為模擬軟體模擬的結果，從模擬的結果發現導通電阻值及崩潰電壓參數與實際值有誤差，經過分析有可能是因為磊晶層濃度的調整與實際值之誤差所引起的，但是從崩潰電壓及導通電阻值上可以看出一些結果是相同的。

$R_{DS(ON)}$  : unit (m  $\Omega$ )     $BV_{DSS}$  : unit (V) @  $I_D=250 \mu A$

Gate poly length : A=5  $\mu m$ , B=4.5  $\mu m$

EPI thickness : W=5.5  $\mu m$ , X=4.5  $\mu m$ , Y=4.2  $\mu m$

Poly A	$BV_{DSS}$	$R_{DS(ON)}@V_{GS}=10V$	$R_{DS(ON)}@V_{GS}=4.5V$
EPI W	34	19.19	24.6
Poly B	$BV_{DSS}$	$R_{DS(ON)}@V_{GS}=10V$	$R_{DS(ON)}@V_{GS}=4.5V$
EPI W	36	20.25	25.69

表 3 實驗組原製程模擬結果

Poly A	$BV_{DSS}$	$R_{DS(ON)}@V_{GS}=10V$	$R_{DS(ON)}@V_{GS}=4.5V$
EPI W	28	14.94	20.99
EPI X	26.5	13.85	20.39
EPI Y	24	13.77	19.83
Poly B	$BV_{DSS}$	$R_{DS(ON)}@V_{GS}=10V$	$R_{DS(ON)}@V_{GS}=4.5V$
EPI W	34	14.15	19.84
EPI X	28	13.21	19.43
EPI Y	26	12.28	18.30

表 4 對照組淺接面製程模擬結果

如圖 9 為原製程與淺接面製程崩潰電壓及漏電流的情況，從圖中可看出淺接面製程崩潰電壓較低，亦有明顯漏電流的情況發生，其結果與實際量測的趨勢相符合。

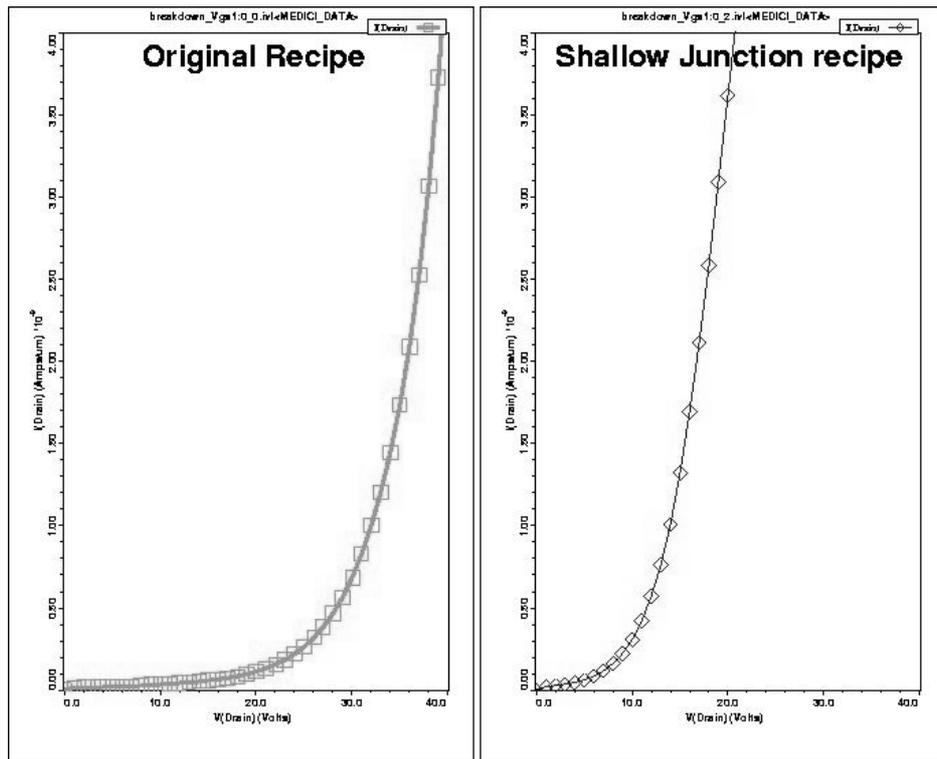


圖 9 原製程與淺接面製程崩潰電壓模擬結果

從圖 10 可對於淺接面製程漏電流得到一個合理的解釋，在圖中可以看出來在同一個電流密度下淺接面製程的漏電流比原製程大，且電流主要集中於通道，此即為造成淺接面製程功率電晶體提早崩潰的主要原因。

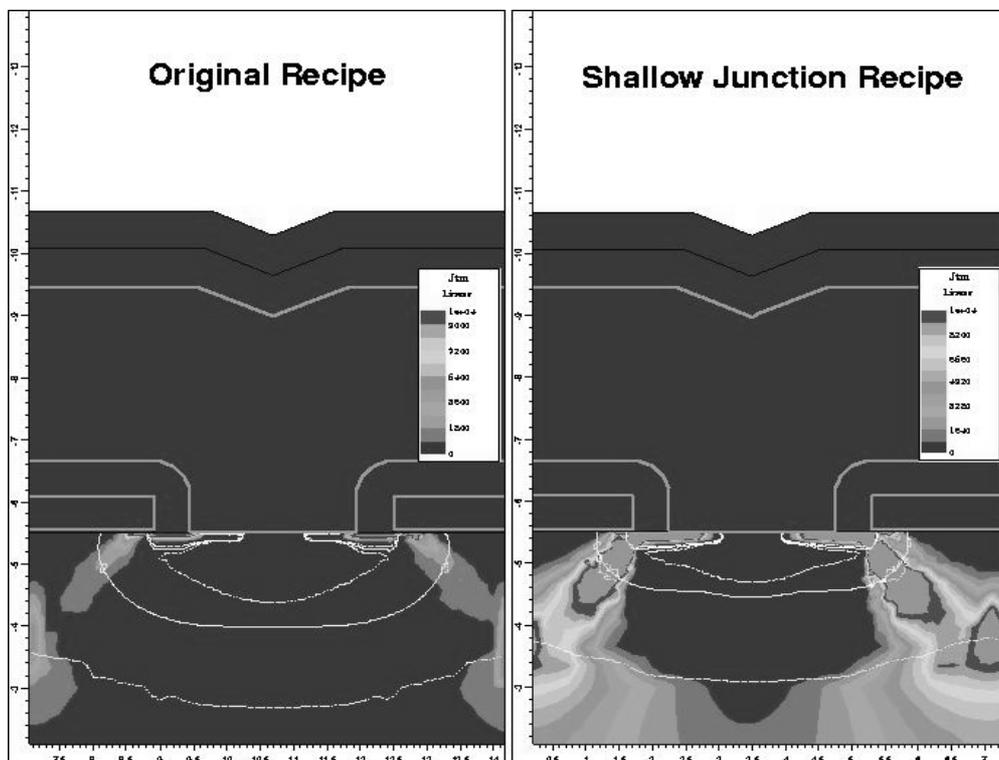


圖 10 原製程與淺接面製程崩潰電流模擬結果

#### IV、結論

目前在極低壓功率電晶體技術性的突破主要是使用溝渠式閘極結構功率電晶體，目的是要增加電流集積度及減少導通電阻值；而本研究所使用的淺接面製程技術在低壓功率電晶體設計上亦是一種突破性的做法，主要是在較簡單的平面製程技術上做更動摻雜與磊晶層厚度，來達到同樣的效果，以目前的研究結果來看雖然淺接面製程技術能減少約 37%的導通電阻值，可以有效減少低壓功率電晶體的  $R_{on}$ 。在溝渠式閘極結構高成本與困難度的因素，本實驗在一般極低壓(0-15V)的應用成本考慮是優選的技術。至於在臨界電場附近崩壓與通道漏電特性的部分未佳，且軟體模擬與實際結果的匹配，將是下一階段改進的重點。

#### V. 致謝

本計畫承蒙華瑞公司總經理鄭敬齡小姐提供製程模組、元件封裝、及後段測試，於此表達謝意；也銘謝國家高速與網路計算中心軟體支援，與明新科技大學編號 MUST93-ET-002 的計畫，在人事上的補助。

#### VI、參考文獻

1. 胡永昌(2001)，分離式元件市場與發展趨勢。元件科技雜誌，25 期，94 頁。
2. 陳蓮春(2000)，電功率 MOSFET 應用技術。永和市仁愛路 104 巷 7 弄 64 號：建興出版社。
3. 施敏、張俊彥(1999)，半導體元件物理與製作技術-修訂版。臺北市博愛路 130 號 6 樓之 2：高立出版社。
4. 李世鴻、陳勝利(1999)，半導體物理元件-第二版。台北市羅斯福路三段 335 號 6 樓之 1：台商圖書有限公司。
5. John Gowar、Duncan A. Grant(1999).POWER SEMICONDUCTOR DEVICE-THEORY AND APPLICATION.John Wiley & Sons，Inc.605 Third Avenue，New York，NY 10158-0012，USA