

絕緣層上矽分析及應用

陳啓文* 陳韋旗

明新科技大學電子工程系

摘要

此研究主要是針對絕緣層上矽金氧半電晶體 (Silicon on Insulator MOS) 進行理論分析，進而利用 Silvaco TCAD 模擬程式做電性參數模擬；文中我們將採用 200 Å、500 Å、1000 Å 和 2000 Å 四種矽層厚度絕緣層上矽電晶體(SOI MOS)進而比較探討傳統金氧半電晶體(Bulk MOS)之間的電性差異和優缺點及應用。其中，絕緣層上覆矽電晶體的主要優點—低消耗功率上的量測，主要是探討漏電流的多寡；在各相近的環境下依不同的絕緣層上覆矽厚度電晶體和一般金氧半電晶體做比較，其漏電流越小者相對的消耗功率越小。而在元件的操作速度上，我們主要是以導通電壓(Threshold Voltage)和寄生電容值為依據，導通電壓越小或寄生電容越小相對的在元件的操作速度上有較佳的表現，這也是絕緣層上矽電晶體的主要優點之一。

關鍵字：絕緣層上矽，金氧半電晶體，漏電流，消耗功率

Silicon on Insulator Analysis and Application

Chii-Wen Chen Wei-Qi Chen

Department of Electronic Engineering, Mingshin University of Science and Technology

Abstract

This is a research about Silicon on Insulator MOS, and then using Silvaco TCAD program to do electricity parameter simulation. In this article, we will use four thickness of Silicon on Insulator MOS: 200 Å, 500 Å, 1000 Å and 2000 Å, and compare between the Bulk MOS in the electricity parameter and application. In which, the advantage of Silicon on Insulator MOS – the measure of low power cost is to confer the leakage current number. We will take it to compare with the SOI MOS and Bulk MOS at different SOI thickness in near environment, and the leakage current is smaller that the opposite power cost is smaller. At the device performance, we major in accordance with Threshold Voltage (V_t) and the parasitic capacitance, and the threshold voltage or the parasitic capacitance is smaller that the opposite performance will better. It is one of the advantages of Silicon on Insulator MOS.

Keyword : Silicon on Insulator , Metal Oxide Semiconductor , Leakage Current , Power Cost

一、前言

隨著科技的發展，製程技術的進步，近年來金氧半元件 (MOS) 逐步縮小，其主要目的便是在改善金氧半元件的特性，進而改善金氧半電路設計的效能。藉由金氧半元件的縮小，元件本身的寄生雜散電

* 電子工程系副教授 地址：新竹縣新豐鄉新興路 1 號 Tel：03-5593142 E-mail：cwchen@must.edu.tw

容 (parasitic capacitance) 都會有改善，元件操作速度進而可以提昇，電路封裝的密度也可以有效提高，使電路的成本降低。但魚與熊掌不能兼得，隨著縮短元件的尺寸，進而提昇元件的速度，相對的我們就得付出消耗功率也跟著提升的代價；且也由於綠色能源的提倡，及「摩爾定律」學說及製程技術上所遇之瓶頸，在往後高速及低消耗功率上，必定是我們所需加以研究和深思的，這也是我研究分析該主題的主要原因。

近年來絕緣層上覆矽 (Silicon on Insulator, SOI) 金氧半元件已經越來越受到重視；除了具有元件密度高的優點外，臨界電壓較小，抗輻射能力強，二次效應小，沒有 Latch-Up 現象、寄生電容小、消耗功率低、速度快等等的優點。所以，在元件往深次微米的發展中，絕緣層上覆矽製程技術將會成為主流技術。

二、SOI CMOS 元件

2.1 SOI 晶圓技術

SOI 係指在晶圓頂層表面以及底部的矽元件 (Base Silicon) 之間嵌入一層絕緣材料，以生產出比傳統批次矽元件 (Bulk Silicon) 速度更快、功率消耗更低的元件。

一般而言，絕緣層上覆矽金氧半元件 (SOI MOS) 製程技術和傳統一般金氧半元件 (Bulk MOS) 沒有太大的差異，除了製程一開始選用的晶圓有所不同外，傳統金氧半元件的製程技術都可以沿用到絕緣層上覆矽金氧半元件 (Silicon on Insulator, SOI) 的製程。以下我們將介紹目前常見的 SOI 晶圓製造技術：

A、SIMOX

如圖 1 所示，SIMOX 技術主要是將大量的氧離子 O^+ 以高能量的方式打到矽晶圓中，使高能植入的氧離子能分布在矽晶圓表面下方。接著經由高溫退火 (anneal)，植入的氧離子會和矽產生化學反應，在晶圓表面下方形成一層氧化層。而在此氧化層的上方則會產生一層矽的結晶層，形成所謂的絕緣層上矽結構。如果氧化層上方的矽結晶層厚度無法達到所需，則可以在矽結晶層上方，利用 CVD 的方式再長上一層磊晶 (Epitaxial) 矽層。最後，利用 CMP 的方法將晶圓表面磨平，其主要的目的是除去因為氧離子植入時所造成的晶圓表面缺陷或是長晶過程中表面產生的雜質，以增加表面光滑提高元件的特性。

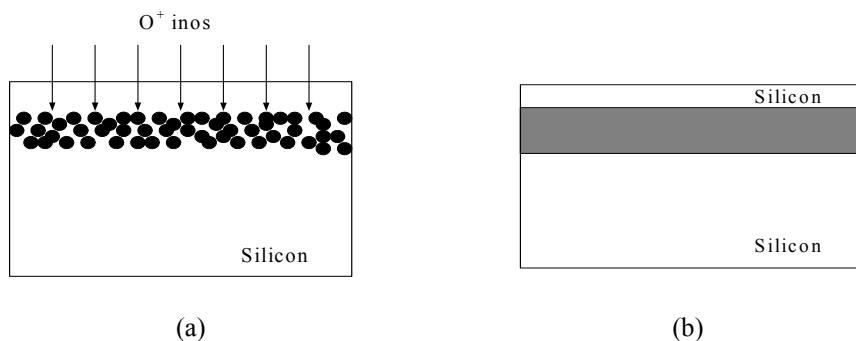


圖 1：SIMOX – Separation by Implantation Oxygen

B、BESOI

如圖 2 所示，一開始時先準備兩塊矽晶圓：元件晶圓 (Device Wafer) 和操作晶圓 (Handle Wafer)；首先，在元件晶圓上方長一層矽磊晶準備當蝕刻終止層 (etch stop layer)，而在操作晶圓上則是利用高溫

氧化，產生一層氧化層，控制氧化環境溫度使氧化層和矽層介面為低缺陷低雜質。當兩個晶圓都處理過後，利用凡得爾力 (Vander Walls force) 的作用將元件晶圓和操作晶圓進行鏈結。同時利用熱退火 (Thermal annealing) 強化兩個晶圓的鏈結，接著利用機械式擠壓和蝕刻來除去元件晶圓上多餘的矽層，最後再經由退火及磨平的步驟產生平滑清潔無雜質的 BESOI 晶圓表面。

C、Smart-Cut

如圖 3 所示，Smart-Cut 技術是從 BESOI 衍生而來，先準備兩塊晶圓，一個是用來當基板 (Wafer B)；一個則用來提供矽薄膜層 (Wafer A)。首先，先將要當矽薄膜層的晶圓 (Wafer A)，利用熱氧化的方法長上一層氧化層，接著以氫離子進行離子佈植，將大約 $2 \times 10^{16} \sim 10^{17} \text{ cm}^{-3}$ 的氫離子植入，完成 Wafer A 的處理之後，用來當基板的晶圓 (Wafer B) 和 Wafer A 以親水性鏈結 (hydrophilic bonding) 進行鏈結。經由 $400 \sim 600 \text{ }^\circ\text{C}$ 的熱反應，有植入氫離子的 Wafer A 會因為氫離子的緣故而從離子植入的位置產生斷裂，並在斷裂面和氧化層間會形成一層單晶矽層。最後，利用 $1100 \text{ }^\circ\text{C}$ 的高溫環境對產生的單晶矽層進行化學鍵的強化，提升單晶矽層的品質，同時，也對表面進行拋光的工作。

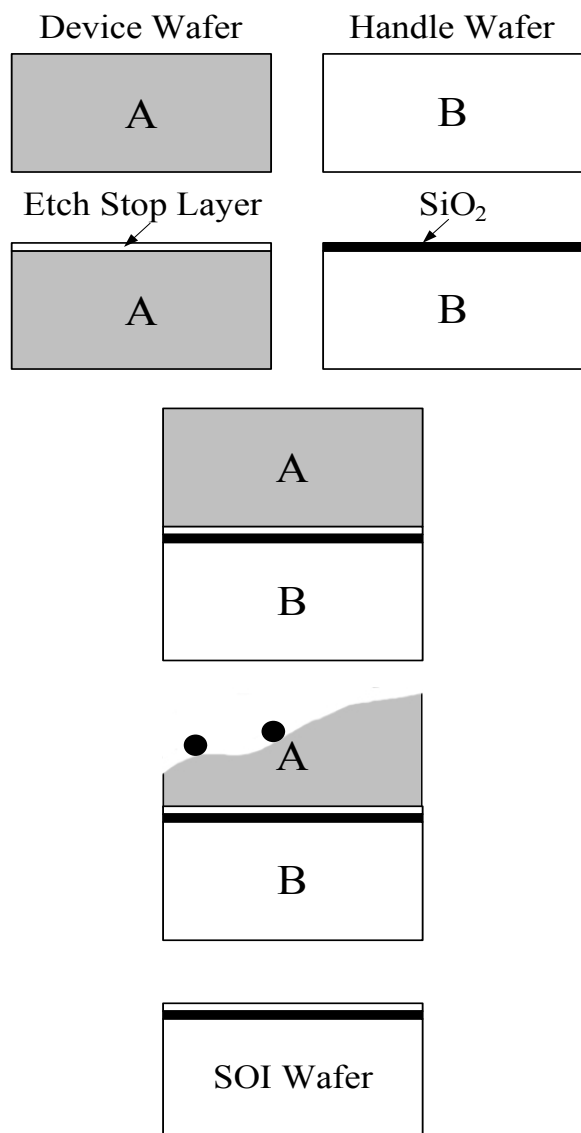


圖 2：BESOI—Bond and Etch Back

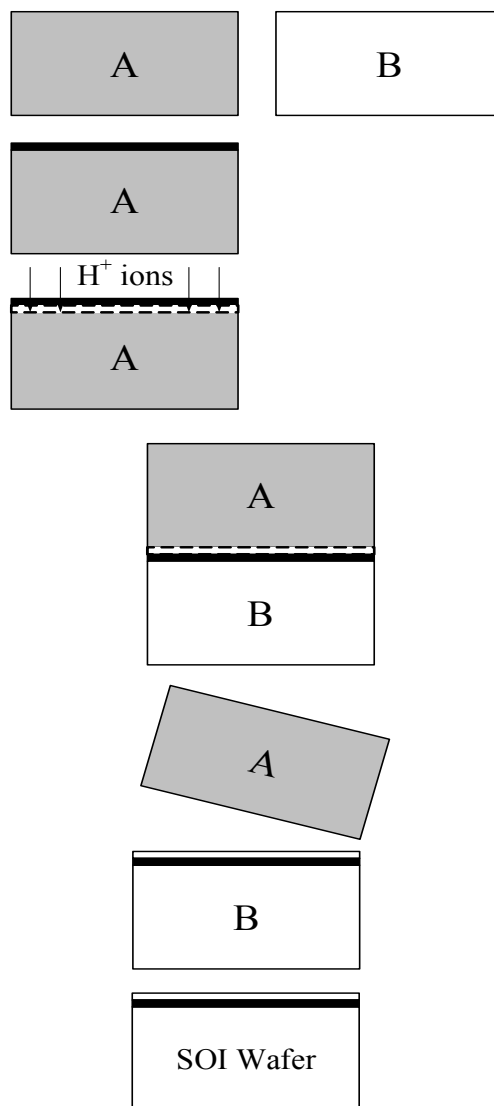


圖 3：Smart-Cut

2.2 元件結構

如圖 4 及表 1 所示，這是我們將使用 TCAD 模擬的 SOI 金氧半電晶體元件結構及參數。我們預設是 SOI NMOS 結構，閘極通道長度 $L_g = 1\mu m$ ，其閘極氧化層厚度 $t_{ox} = 200\text{ \AA}$ 且絕緣層也是我們所稱的埋入氧化層厚度 $t_{BOX} = 0.2\mu m$ ，在埋入氧化層上方的 SOI 層厚度，我們即將分析其電性差異，因此 t_{SOI} 我們分別設定為 500 \AA 及 2000 \AA ，而源極和汲極植入深度 $X_j = 0.2\mu m$ 且參雜濃度為 $1 \times 10^{20} cm^{-3}$ ，在最後的基底濃度 N_{ba} 則為 $1.75 \times 10^{17} cm^{-3}$ 。

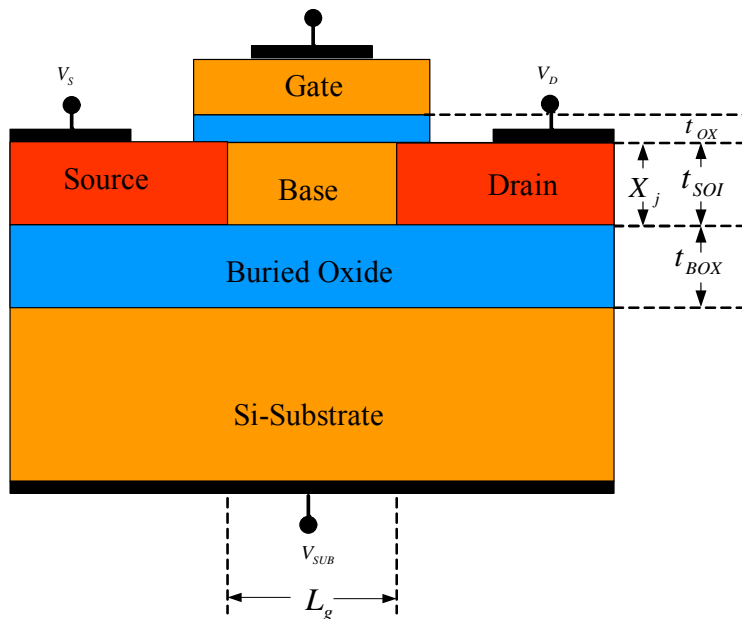


圖 4：SOI MOS 元件結構

表 1：元件參數

Parameters	SOI MOS	Bulk MOS	Unit
Gate Length (L_g)	1	1	μm
Gate Oxide Thickness (t_{ox})	200	200	\AA
Buried Oxide Thickness (t_{box})	0.2	-----	μm
Silicon Layer Thickness (t_{soi})	200 , 500 , 1000 , 2000	-----	\AA
Drain/Source junction (x_j)	0.2	0.2	μm
Drain/Source Concentration (N_d)	1×10^{20}	1×10^{20}	cm^{-3}
Base Concentration (N_{ba})	1.75×10^{17}	1.75×10^{17}	cm^{-3}

如圖 5 及表 1 所示，這是我們即將取用比較的传统金氧半電晶體 (Bulk MOS) 結構，在尺寸及參雜濃度上都和 SOI MOS 一樣，只是缺少 Buried Oxide 埋入氧化層，我們將探討其相異及優缺點。

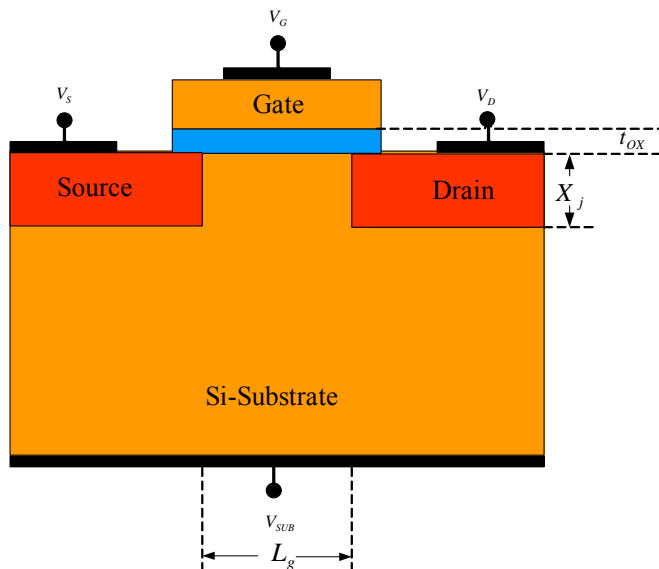


圖 5：Bulk MOS 元件結構

三、分析與模擬結果

此節主要是針對這次研究進行元件的設計，以 Silvaco 公司 Virtual Wafer Fabrication (VWF) 旗下的 Atlas TCAD 模擬軟體，使用表 1 各參數進行元件繪製並加以分析，藉由分析了解各元件電性特徵。

3.1 實際元件模擬濃度分布

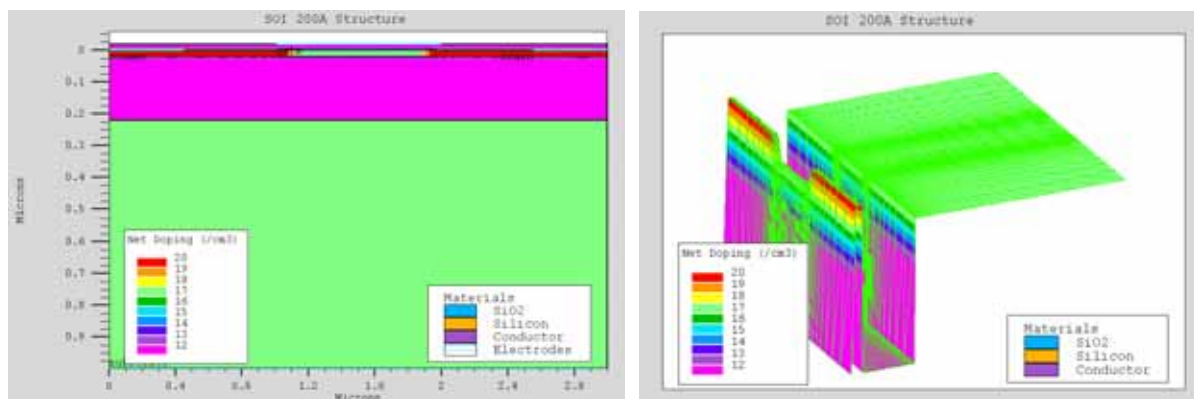


圖 6： $t_{SOI} = 200 \text{ \AA}$ 結構

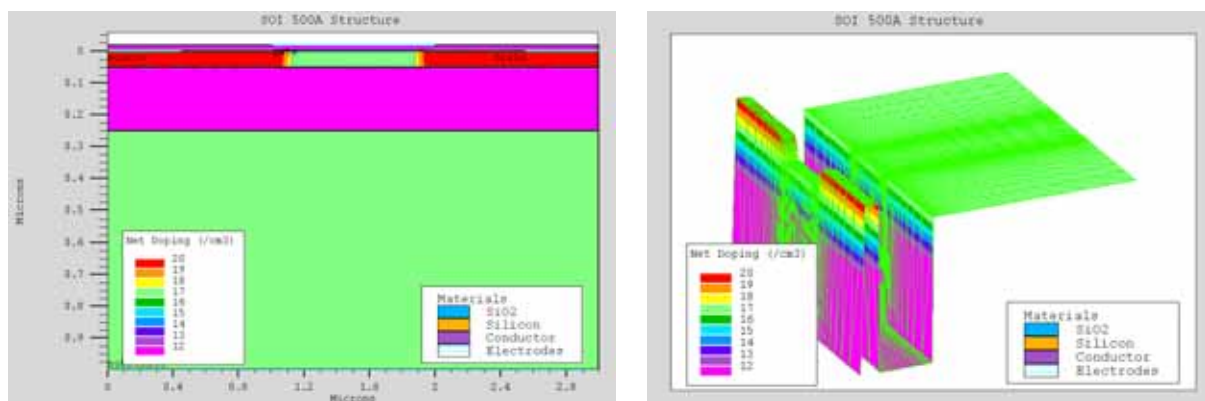


圖 7： $t_{SOI} = 500 \text{ \AA}$ 結構

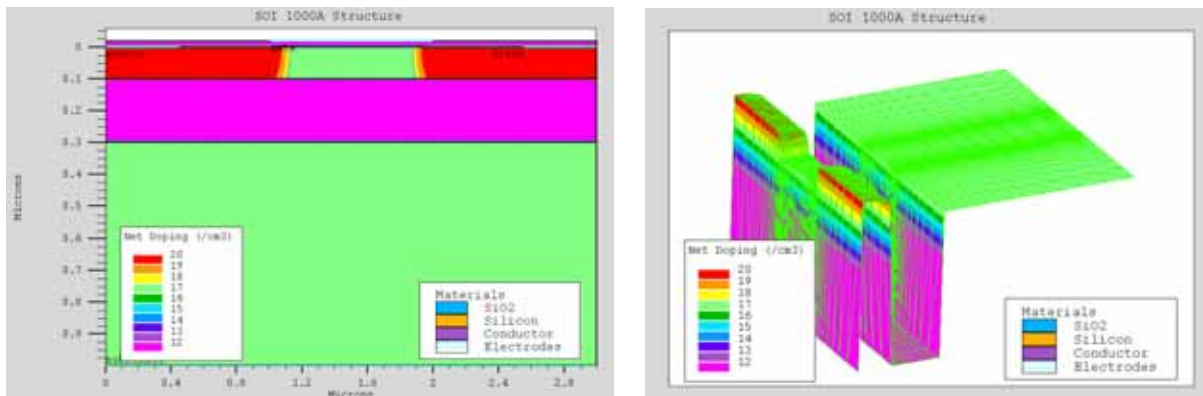


圖 8 : $t_{SOI} = 1000 \text{ \AA}$ 結構

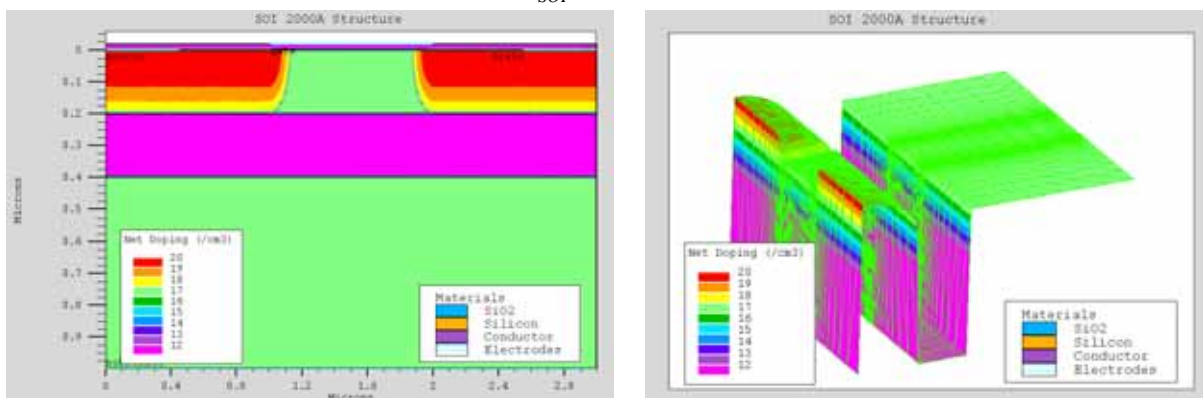


圖 9 : $t_{SOI} = 2000 \text{ \AA}$ 結構

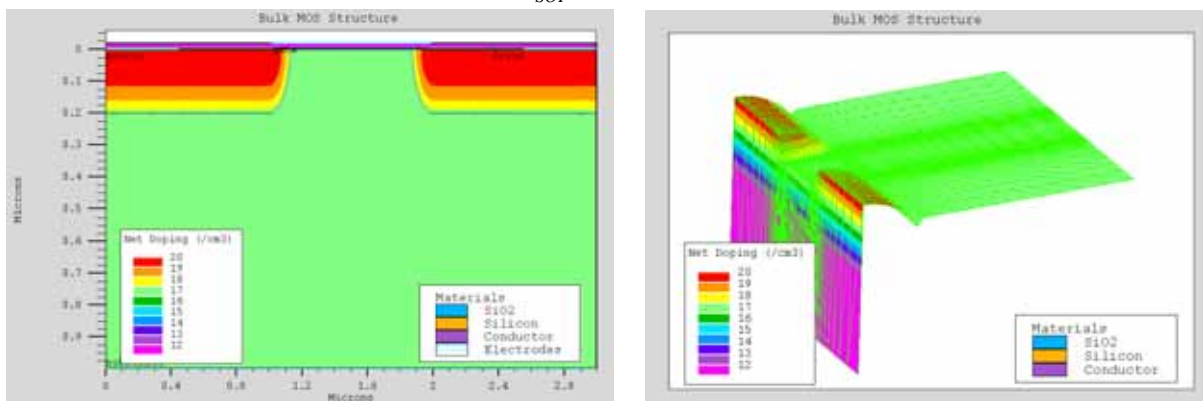


圖 10 : Bulk MOS 結構

如圖 6 至圖 10 所示，因為我們所設定的參數相同一致，因此在元件濃度的分佈也幾乎相同，僅 SOI 埋入氧化層之有無及 SOI 層厚度之差異；其中，閘極我們是直接開在氧化層上定義金屬接點，在圖中並沒有一般有沉積多晶矽的閘極，其電性模擬上並不影響。

3.2 Threshold Voltage 門檻電壓分析

如下圖 11，我們可清楚的看出在 SOI 厚度為 200\AA 的門檻電壓為最低，其中主要是受限於表面空乏區最大寬度 W_m [式(1)]的影響，

$$V_T = \frac{qN_A W_m}{C_o} + \psi_s(inv) \cong \frac{\sqrt{2\varepsilon_s qN_A (2\psi_B)}}{C_o} + 2\psi_B \tag{1}$$

在 SOI 厚度為 200Å 時，由於 SOI 層厚度的縮小，使的空乏區最大寬度受限於絕緣埋入氧化層而縮小，因而使 V_T 門檻電壓為所測最低。當 SOI 矽的厚度從低於 400 Å ~500Å，閘極下的空乏區就會把矽空乏掉 (FD-SOI)，在極薄的矽區內，閘極對通道的控制力將變大，因此使 V_T 門檻電壓下降。如圖 12 所示，我們進而針對 600Å ~900Å 也做分析，由圖上我們大概得知其最大空乏區寬度 W_m ，約在 SOI 層厚度為 800Å 時，所以我們原先的 1000Å、2000Å 及 Bulk MOS 絲毫不受影響，因此 V_T 門檻電壓相異不大。

$$P = CV^2 \quad \text{式(2)}$$

由上[式(2)]，我們得知，元件的操作電壓對元件本身的功率消耗影響深遠，在 SOI 元件中擁有較低的操作電壓，這也將使元件在消耗功率上大大的改善。

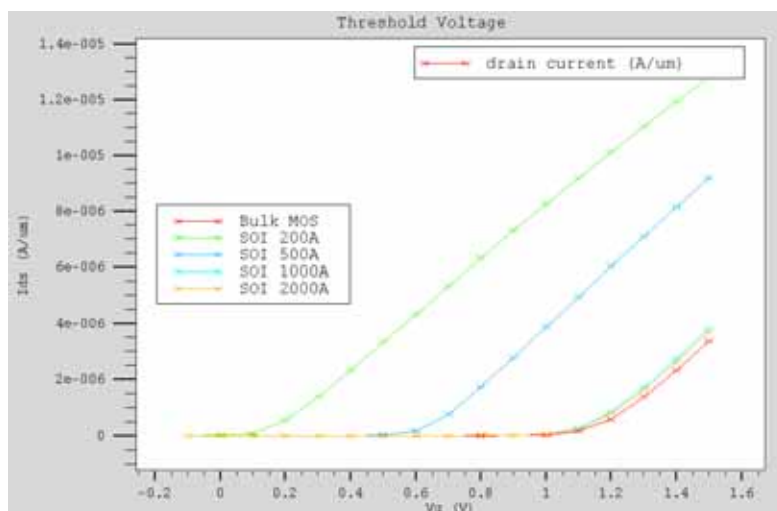


圖 11：Bulk MOS、SOI200Å、SOI500Å、SOI1000Å、SOI2000Å V_T 門檻電壓

$$V_{ds} = 0.1V, V_G \text{ 範圍從 } 0V \text{ 至 } 1.5V$$

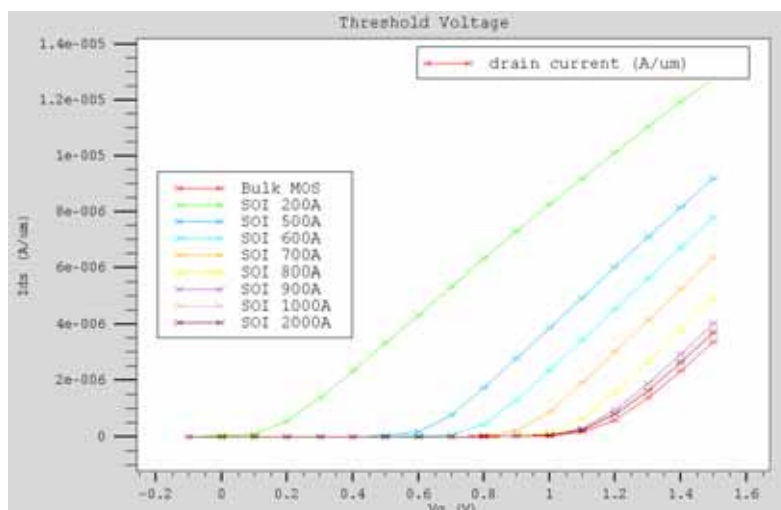


圖 12：Bulk MOS、SOI200Å ~ SOI2000Å V_T 門檻電壓

$$V_{ds} = 0.1V, V_G \text{ 範圍從 } 0V \text{ 至 } 1.5V$$

3.3 $I_{DS} - V_{DS}$ 轉換特性

閘極電壓 V_g 為 2.25 V，汲極電壓 V_d 從 0V 至 3.3V 作直流掃描；對一已知的 V_g 而言，汲極電流一開始會隨著汲極電壓線性增加（線性區），然後逐漸持平，趨近一飽和值（飽和區）。由[式(3)]線性區及[式(4)]飽和區汲極電流，由於我們在通道長度及寬度和閘氧化層都一致下，唯一能改變汲極電流為 $(V_G - V_T)$ 電壓差；因此如圖 13，這個比較證明了因不同絕緣層上矽，造成不一樣的 V_T 門檻電壓因而使 I_D 不同，無論是線性還是飽和都有相同特性，因此此實驗在 SOI 厚度為 200Å 時， I_D 都大於同一量級 V_G 。

$$I_D = \frac{W}{L} \mu_n C_o (V_G - V_T) V_D \quad V_D \ll (V_G - V_T) \quad \text{式(3)}$$

$$I_{Dsat} \cong \left(\frac{1}{2} \mu_n C_o \frac{W}{L}\right) (V_G - V_T)^2 \quad \text{式(4)}$$

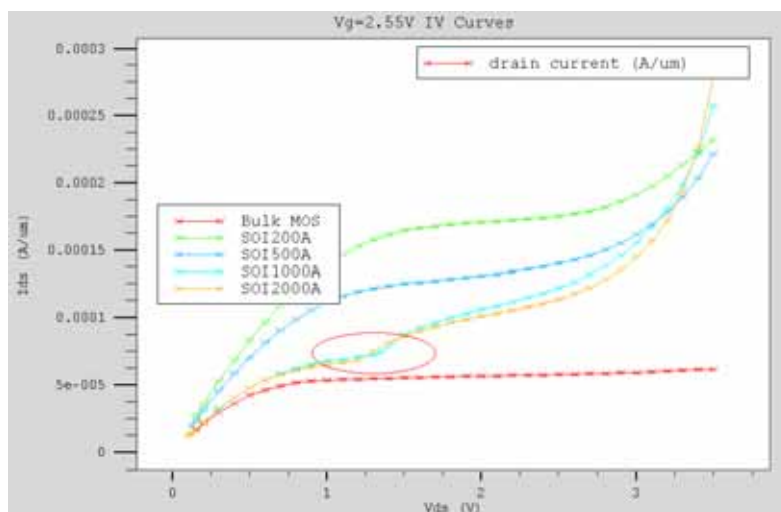


圖 13：Bulk MOS、SOI200Å、SOI500Å、SOI1000Å、SOI2000Å $I_{DS} - V_{DS}$ 轉換曲線

V_G 分別為 2.25V， V_{ds} 範圍從 0V 至 3.3V

在 IV 特性曲線中，由於 SOI1000Å 和 SOI2000Å 因矽層厚度較厚而沒有完全空乏（PD-SOI），因此通道下將有中性區（neutral region），當汲極電壓加到某一值時，汲極電流增加並造成衝擊離子化產生電子電洞，而造成電流突增（Kink effect），如圖 13 圈起來部份，這將使類比 IC 元件造成很大困擾；而將絕緣層上的矽層參雜濃度降低，以使電流突增現象較晚發生。

3.4 Ron 導通電阻的量測

在導通電阻的量測上，我們主要是以 $R = V/I$ 觀念去做量測，因此套用 $I_{DS} - V_{DS}$ 轉換曲線去做分析；在相同的電壓下，如所得電流較大，相對的電阻值小，反之則為阻值大；導通電阻將關係到我們的元件操作速度及功率消耗等問題。如圖 14 所示，SOI 元件擁有較低的阻值；SOI 元件由於埋入氧化層的緣故，元件的操作區僅在那薄薄的矽層，又以 SOI 200Å 最為明顯，矽層厚度遠低於一般傳統的 MOS，因此阻值也有所落差，因此在效能及消耗功率上，SOI 元件要比傳統元件有較優秀的表現，在此實驗中，以 $t_{SOI} = 200 \text{ \AA}$ 時表現最優秀。

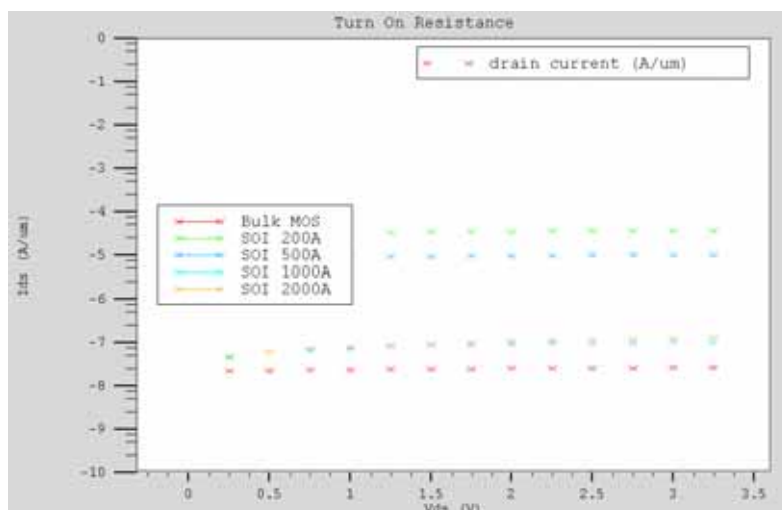


圖 14：Ron 導通電阻特性曲線； $V_G = 2.25V$ ， V_{ds} 範圍從 0V 至 3.3V

3.5 g_m 轉移電導分析

在轉移電導的實驗中，我們以掃描 V_G 以分析其 I_D 特性[式(5)]，進而探討次臨界特性（Subthreshold characteristic）。

$$g_m \equiv \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = c} = \frac{W\mu_n \epsilon_{OX}}{dL} \quad \text{式(5)}$$

如圖 15，受限於表面空乏區最大寬度 W_m 之影響，導致 $t_{SOI} = 200 \text{ \AA}$ 有較大的次臨界特性，因此相對所得汲極電流也較大。

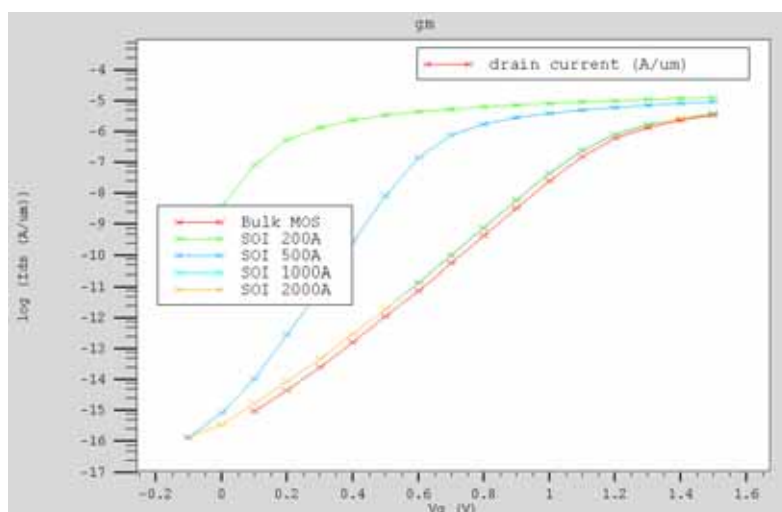


圖 15： g_m 轉移電導分析； $V_{ds} = 0.1V$ ， V_G 範圍從 0V 至 3.3V

處於次臨界時，該電流將隨 $(V_t - V_{GS})$ 成自然指數成長，截然不同於 MOSFET 正常操作時之漂移電流。反言之，當 $V_{GS} > V_t$ 時，MOSFET 之次臨界電流將隨 $(V_{GS} - V_t)$ 成自然指數衰減，最後只剩明顯的漂移電流成分。

3.6 I_{off} Drain-Substrate 漏電流分析

在漏電流的分析中，我們主要是以不導通電晶體做 I_{ds} 的量測；由於 SOI 在次門檻電壓有極低的電壓值，因此我們是固定 $V_{ds} = 0.5V$ ，閘極則由 $0.1V$ 遞減至 $-2.0V$ ，以確保電晶體處於關閉狀態進而量測。

由圖 16 我們可清楚看出，由於埋入氧化層的絕緣作用，SOI 元件的漏電流較一般傳統電晶體低，這將直接反映在元件的消耗功率上，進而影響元件的穩定度。

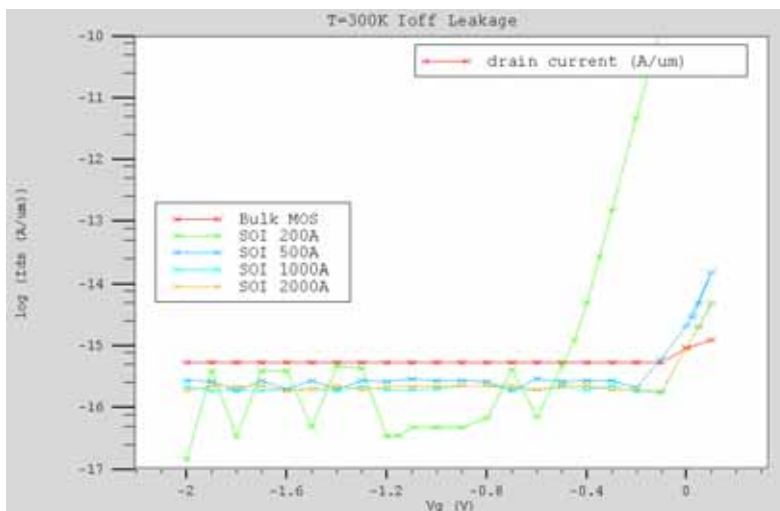


圖 16：T=300K I_{off} 特性曲線圖； $V_{ds} = 0.5V$ ， V_G 範圍從 $0.1V$ 至 $-2.0V$

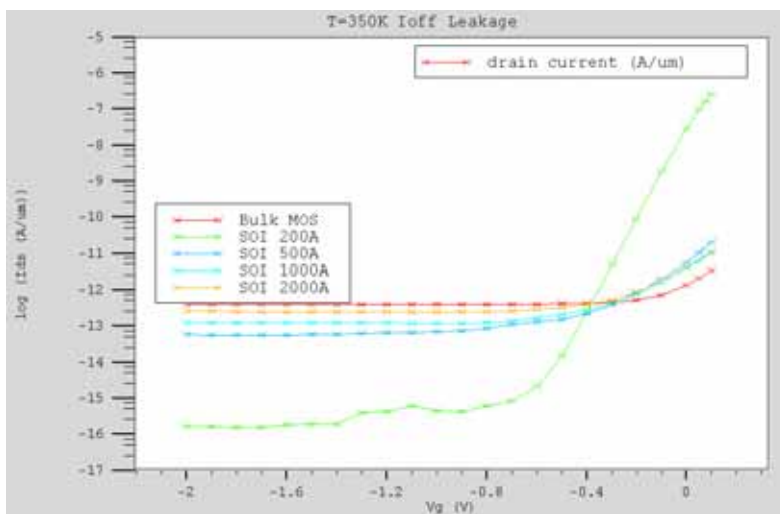


圖 17：T=350K I_{off} 特性曲線圖； $V_{ds} = 0.5V$ ， V_G 範圍從 $0.1V$ 至 $-2.0V$

在上圖 17 中，我們將模擬測試溫度提高至絕對溫度 $350K$ ，傳統 Bulk MOS 其漏電流遠大於 SOI MOS 元件，在此 SOI 則展現他的低漏電流而低消耗功率的優點。

3.7 Capacitance 電容特性分析

元件寄生電容也將是影響元件效能的主要原因，就如[式(2)] $P = CV^2$ 和 $\tau = CV/I$ ，因此我們知道，如要增加元件的效能或減少元件所需的功率消耗與我們的電容電荷有相當的關係。

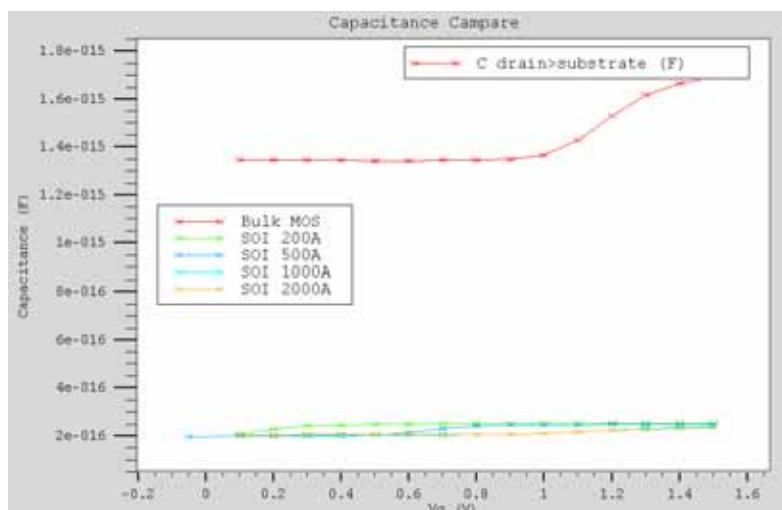


圖 18：Capacitance 電容特性分析； $V_{ds} = 0.1V$ ， V_G 範圍從 0V 至 1.5V

$$\frac{1}{C_{Bulk}} = \frac{1}{C_{ox}} + \frac{1}{C_d} \quad \text{式(6)}$$

$$\frac{1}{C_{SOI}} = \frac{1}{C_{ox}} + \frac{1}{C_{box}} + \frac{1}{C_b} \quad \text{式(7)}$$

其中 C_{ox} 為閘極氧化層寄生電容， C_d 為元件空乏層電容， C_{box} 為 SOI 埋入氧化層寄生電容， C_b 為 SOI 埋入氧化層下方的基材寄生電容。

由於 SOI 的埋入氧化層，而這層氧化層的寄生電容正好與上方的閘化層和下方的基板寄生電容形成串連；由[式(6)]及[式(7)]我們可清楚得知，電容的串聯將使電容總值下降，因此如圖 18，SOI 的寄生電容值將比傳統 MOS 小很多，這也將直接影響元件的速度及消耗功率，這也將是未來元件越做越小，SOI 技術將被重視的關鍵問題。

四、結論

表 2：各參數特性比較

	Bulk MOS	SOI 200Å	SOI 500Å	SOI 1000Å	SOI 2000Å
V_t 門檻電壓	High	Low	Low	High	High
$SubV_t$ 次門檻導通	High	Low	Low	High	High
R_{on} 導通電阻	High	Low	Low	Moderate	Moderate

I_{off} 漏電流	High	Low	Low	Low	Low
C 電容電荷值	Very High	Low	Low	Low	Low
SW-Speed 切換速度	Low	High	High	Moderate	Moderate
Power 功率消耗	Very High	Low	Low	Low	Low

由於 SOI 較傳統元件有良好絕緣隔離效果，因此有更低的漏電流，元件密度也因被提升，在往後晶片發展 SOC 上的數位和類比之間的干擾更低，本體 CMOS 電路中與生俱來的閃鎖（Latch-up）現象亦被消除，源極與汲極區的寄生接面電容（junction capacitance）也因埋入氧化層絕緣基板而大幅降低，使元件性能上更加提升，在高頻無源元件裡的損失更低。此外，SOI 可有效改善本體 CMOS 在輻射損傷方面的容忍度；此乃因受輻射時，僅有少量體積的矽會產生電子電洞對，此特性在太空應用上特別重要。

基於以上的各項優點，現今 SOI 技術已有被廣泛的使用，如高性能微處理器及伺服路由器、低功率可攜式通訊裝置、智慧型功率開關、寬頻區域網路播放系統、光訊號處理需用之微光電元件、高溫感測器及控制器、顯示器及微機電元件等這些當紅技術的發展；目前大量使用 SOI 技術的莫過於美商超微（AMD）與 IBM 技術合作的微處理器生產，這個技術不但克服超微多年來微處理器的高溫，更使所生產的微處理器性能大幅改善。但礙於 SOI 晶圓良率及高成本受限，使的這優異的製程無法普及，我相信在未來高效能低功耗的需求，必定在 SOI 晶圓良率上會有所改善，使人類帶來更多福祉。

五、致謝

本研究首先要感謝 Silvaco 台灣分公司的 KC Chang 經理及他們的工程師，於一開始技術性及許多問題上的支援。再來則是系上周靜娟老師及黃孝祖老師實驗室環境的提供和許多觀念上的加強。當然還有我的專題指導陳啓文教授，於一開始給我們很自由的方向及規劃，且由於 94 學年擔任系上主管，忙的天昏地暗，但也抽空來分析及協助，才使研究得以完成。

六、參考文獻

- [1] 施敏, "SEMICONDUCTOR DEVICES Physics and Technology 2nd"
- [2] 林世佳, NTUEE National Taiwan University Department of Electronical Engineering, "Compact Modeling of SOI and Bulk CMOS VLSI Devices"
- [3] Wacker Siltronic AG, "Silicon on Insulator – A Mainstream Technology in the Making"
- [4] Yoshiki Hayasaki, Hitomichi Takano and Masahiko Suzumura, "BACK CHANNEL EFFECT ON SOI CMOS FOR HIGH VOLTAGE POWER ICs,"
- [5] MAKOTO YOSHIMI, MEMBER, IEEE, MINORU TAKAHASHI, TETSUNORI WADA, KOUICHI KATO,

- SHIGERU KAMBAYASHI, ' MASATO KEMMOCHI, AND KENJI NATORI, MEMBER, IEEE, "Analysis of the Drain Breakdown Mechanism in Ultra-Thin-Film SOI MOSFET's"
- [6] J. Hartwich, L. Dreeskomfeld, F. Hofmann, J. Kretz, E. Landgraf, R.J. Luyken, M. Specht, M. Stadel, T. Schulz, W. Rosner, and L. Risch, "Off Current Adjustment in Ultra-Thin SOI MOSFETs"
- [7] Shoichi Masui and Masaharu Tachimori "AN ANALYSIS OF THRESHOLD VOLTAGE VARIATION IN THIN-FILM SOI MOSFETs"
- [8] Badih El-Kareh', Timothy Stanley², Bomy Chen', "Silicon on Insulator - An Emerging High-Leverage Technology"
- [9] A. J. Auberton-Hervé. "SOI : Materials to Systems"